

004393088

WPI Acc No: 1985-219966/198536

XRPX Acc No: N87-010921

Dynamic field effect transistor bootstrap output circuit - has delay generating output from node which is used for controlling charge operation of bootstrap capacitor

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 60140924	A	19850725	JP 83250110	A	19831227	198536 B
US 4633105	A	19861230	US 84686863	A	19841227	198703

Priority Applications (No Type Date): JP 83250110 A 19831227

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 60140924	A	9		
-------------	---	---	--	--

Abstract (Basic): JP 60140924 A

A delay circuit includes a MIS transistor having a gate receiving one input signal, a drain connected to a power supply and a source connected to a node. A second MIS transistor has a gate receiving a second input signal, a drain connected to the node and a source connected to the ground potential. A third MIS transistor has a gate receiving the second input signal, a drain connected to the power supply and a source connected to a second node. A fourth MIS transistor has a gate connected to the first node, a drain connected to the second node and a source held at the ground potential.

A fifth MIS transistor has a gate connected to the second node, a drain connected to the first node and a source connected to the first input signal. The delay circuit generates an output signal from the second node the level of which falls with a predetermined delay after the rise of the first input signal. A driver circuit including a bootstrap circuit makes use of the output at the second node for controlling the charge operation of the bootstrap capacitor.

USE/ADVANTAGE - Dram dynamic precharge control. Operates stabl when influenced by noise and voltage fluctuations of substrate. (First major country equivalent to J60140924)

5/9

Title Terms: DYNAMIC; FIELD; EFFECT; TRANSISTOR; BOOTSTRAP; OUTPUT; CIRCUIT; DELAY; GENERATE; OUTPUT; NODE; CONTROL; CHARGE; OPERATE; BOOTSTRAP; CAPACITOR

Derwent Class: U12; U14; U21

International Patent Class (Additional): H03K-004/58; H03K-005/13; H03K-019/00

File Segment: EPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

01662424 **Image available**
SEMICONDUCTOR CIRCUIT

PUB. NO.: 60-140924 [JP 60140924 A]
PUBLISHED: July 25, 1985 (19850725)
INVENTOR(s): TSUJIMOTO AKIRA
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 58-250110 [JP 83250110]
FILED: December 27, 1983 (19831227)
INTL CLASS: [4] H03K-019/00; H03K-019/094
JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: E, Section No. 362, Vol. 09, No. 302, Pg. 126,
November 29, 1985 (19851129)

ABSTRACT

PURPOSE: To prevent floating of a low potential of a node at a high impedance state by providing a delay circuit giving an output to the 2nd node falling down with a delay from the leading of the 1st input signal and a driver circuit including a bootstrap circuit driven by the 1st input signal and using an output of the 2nd node as a common control signal.

CONSTITUTION: The titled circuit consists of the delay circuit 11 taking the node N12 risen with a delay than the leading of an input signal .phi. and the driver circuit 12 comprising MOST (N-channel MOS transistors) Q15-Q19 and a capacitor C11 including the bootstrap circuit driven by the input signal .phi.1 and using the output of the node N12 as the common control signal. When the input signal .phi.1 is at a low level, since the MOSTQ20 is turned on with a high level of the node N12 and connected to the input signal .phi.1 at the low level, a node N11 is suppressed to a ground potential level thereby preventing the high impedance state. When the input signal .phi.1 goes to a high level, since the node N11 is charged quickly via the MOSTQ11, Q20, it is not required to consider the ratio of the capability of the MOSTQ11 and Q20 at all.

?

⑫ 公開特許公報 (A)

昭60-140924

⑬ Int.Cl.

H 03 K 19/00
19/094

識別記号

101

庁内整理番号

8326-5J
8326-5J

⑭ 公開 昭和60年(1985)7月25日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体回路

⑯ 特願 昭58-250110

⑯ 出願 昭58(1983)12月27日

⑰ 発明者 辻 本 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑯ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

半導体回路

前記第2の節点出力を接地側制御信号とするブーストストラップ回路を含むドライバ回路より構成されることを特徴とする半導体回路。

2. 特許請求の範囲

第1のMISトランジスタのゲートは第1の入力信号にドレインは電源にソースは第1の節点に、第2のMISトランジスタのゲートは第2の入力信号にドレインは前記第1の節点にソースは接地電位に、第3のMISトランジスタのゲートは前記第2の入力信号にドレインは電源にソースは第2の節点に、第4のMISトランジスタのゲートは前記第1の節点にドレインは前記第2の節点にソースは接地電位に、第5のMISトランジスタのゲートは前記第2の節点にドレインは前記第1の節点にソースは前記第1の入力信号にそれぞれ接続されてなり、前記第1の入力信号の立上りにより遅れて立下る前記第2の節点を出力とする遅延回路と、前記第1の入力信号により駆動され

3. 発明の詳細な説明

(技術分野)

本発明は、半導体素子によって構成され、特に絶縁ゲート型電界効果トランジスタ (MISトランジスタ) からなる半導体回路に関する。

(従来技術)

第1図は従来の半導体回路の一例の回路図で、MISトランジスタとして、ロチャネル型MOSトランジスタ(以下、MUSTといふ。)を用いて構成されるダイナミック回路において代表的なバッファ回路を示す。この回路はMUST Q1, Q2, Q3, Q4より構成される遅延回路1とMUST Q5, Q6, Q7, Q8, Q9より構成されるドライバ回路2より構成されている。基本的な動作を以下に説明する。第4図に各入力信号の1, 2, 3、出力信号の3のタイムチャートを示す。まず入力信号の2が高レ

ベルになり、MOSFET Q3 がオンし、節点 N2 が電源 VDD の一段落ちレベル（以下、VDD-V_T レベル）となり。）まで充電される。それにより MOSFET Q7, Q9 がオンし、節点 N4, 出力信号の 3 を低レベルにおさえる。次に入力信号の 1 が高レベルになり、節点 N3 が MOSFET Q5 を介して VDD-V_T レベルまで充電される。それにより MOSFET Q6, Q8 がオンし、MOSFET Q6, Q7 および Q8, Q9 を通し、電流が電源 VDD より接地電位 GND に流れ。節点 N2 は、MOSFET Q1 がオンし、節点 N1 の電位が MOSFET Q4 のしきい値電圧 V_T を超えるまで、VDD-V_T レベルが保たれる。節点 N4 の電位は、MOSFET Q6, Q7 のオン抵抗の比（通常は 1:3 ~ 1:5）でできる低レベルで保たれる。容量 C1 の静電容量を C₀₁ (f), 節点 N3 と N4 の電位差を $\Delta V(V)$ とすると、容量 C1 には、 $Q(0) = C_{01} \times \Delta V$ の電荷が充電される。

節点 N1 の電位が上がり、MOSFET Q4 がオンすると、節点 N2 は接地電位 GND となり、MOSFET Q7, Q9 はオフする。これにより節点 N4 は

- 3 -

インピーダンス状態を MOSFET Q10 により接地電位 GND におさえる方法をとっている。しかし、入力信号の 1 が高レベルになったとき、MOSFET Q1 と Q10 の能力比がとれていないと、節点 N1 の電位が MOSFET Q4 のしきい値電圧を超えることが出来ないか、あるいは時間的に遅れてしまう。このため、MOSFET Q10 の能力は MOSFET Q1 の能力の $\frac{1}{10}$ ~ $\frac{1}{10}$ 程度にまでおさえる必要がある。このようを MOSFET をマスク上で実現するには、MOSFET の多段直列接続、あるいはチャネルを長くするなど、いずれにせよチップ面積が大きくなる欠点がある。

（発明の目的）

本発明の目的は、上記の欠点を除去することにより、特別に構成 MOSFET の能力比を考慮する必要なしに、節点の高インピーダンス状態の低電位の浮き上がりを防止できるところの半導体回路を提供することにある。

（発明の構成）

本発明の半導体回路は、第 1 の MOSFET のゲートは第 1 の入力信号にドレインは電源

VDD-V_T レベルになり、節点 N3 は Q1 (節点 N3 の容量 + C₀₁) だけ電位が上昇し、MOSFET Q6, Q8 のゲートレベルが電源 VDD レベル以上にもち上げられ、入力信号の 1 より T 連れて節点 N4 および出力信号の 3 が電源 VDD レベルまで上昇する。

第 4 図のよう、入力信号の 1 と 2 が共に低レベルにある時刻 T₂ から T₃ の期間では、節点 N1 は高インピーダンス状態で低レベルとなる。この状態のとき基板電位のゆれなどにより節点 N1 の電位が浮き上がり、MOSFET Q4 のしきい値電圧を越えてしまうと、入力信号の 2 により充電された節点 N2 の電位が接地電位 GND まで低下して、ドライバ回路 2 のブートストラップを使つた正常動作が不可能になる。

第 2 図はこれを防ぐために考案された従来の半導体回路を示す回路図である。図に示すように、節点 N1 をドレインに、節点 N2 をゲートに、接地電位 GND をソースに接続した MOSFET Q10 を付加し、節点 N2 の高レベルにより、節点 N1 の高

- 4 -

にソースは第 1 の節点に、第 2 の MOSFET のゲートは第 2 の入力信号にドレインは前記第 1 の節点にソースは接地電位に、第 3 の MOSFET のゲートは前記第 2 の入力信号にドレインは電源にソースは第 2 の節点に、第 4 の MOSFET のゲートは前記第 1 の節点にドレインは前記第 2 の節点にソースは接地電位に、第 5 の MOSFET のゲートは前記第 2 の節点にドレインは前記第 1 の節点にソースは前記第 1 の入力信号にそれぞれ接続されてなり、前記第 1 の入力信号の立ち上がりより遅れて立下る前記第 2 の節点を出力とする遅延回路と、前記第 1 の入力信号により駆動され前記第 2 の節点出力を接地側制御信号とするブートストラップ回路を含むドライバ回路より構成される。

（実施例）

以下、本発明の実施例について図面を参照して説明する。

第 3 図は本発明の一実施例の回路図、第 4 図はその動作を示すタイムチャートで従来例のものと

- 5 -

同じである。

本実施例は、MOSFET Q11 のゲートは入力信号の 1 にドレインは電源 VDD にソースは節点 N11 に、MOSFET Q12 のゲートは入力信号の 2 にドレインは節点 N11 にソースは接地電位 GND に、MOSFET Q13 のゲートは入力信号の 2 にドレインは電源 VDD にソースは節点 N12 に、MOSFET Q14 のゲートは節点 N11 にドレインは節点 N12 にソースは接地電位 GND に、MOSFET Q20 のゲートは節点 N12 にドレインは節点 N11 にソースは入力信号の 1 にそれぞれ接続されており、入力信号の 1 の立上りより遅れて立下る節点 N12 を出力とする遅延回路 11 と、入力信号の 1 により駆動される節点 N12 出力を接地側制御信号とするブーストストラップ回路を含む MOSFET Q15 ~ Q19 及び容量 C11 よりなるドライバ回路 12' より構成される。

すなわち、本実施例の回路は第 1 図の従来例の回路に、節点 N11 をドレインに節点 N12 をゲートに入力信号の 1 をソースに接続した MOSFET Q20 を付加したものである。~~入力信号の 1~~

- 7 -

はその動作を示すタイムチャートである。本実施例は、第 3 図の実施例の回路とは異なるドライバ回路 12' を有するバッファ回路に本発明を適用したもので、ドライバ回路 12' には MOSFET Q21 が付加されている。この種類のバッファでは、入力信号の 1' が高レベルになり、MOSFET Q14 がオンし、節点 N12 の電位が接地電位レベルになることにより、MOSFET Q17 がオフし、節点 N13 は入力信号の 1' の電位に依存することなく電源 VDD 以上のレベルを保持することができる。第 6 図に示すような入力信号の 1'、2' より出力信号の 3 を得ることができる。なお、この場合においても時刻 T2 ~ T3 間での節点 N11 の高インピーダンス状態の低レベルは存在し、本発明の効果はこの場合においてもまったくそこなわれることはない。

なお、以上の説明はトランジスタとして N チャネル型 MOSFET を用い、高レベルが論理 "1" レベルであり、低レベルが論理 "0" レベルとしたが、本発明はこれに限らずされことなく、一般に絶縁ゲート型電界効果トランジスタ (

IGFET) が用いられる場合においても同様である。かくすることにより、入力信号の 1 が低レベルのとき (第 4 図、時刻 T2 ~ T3 間) 節点 N11 は、節点 N12 の高レベルにより MOSFET Q20 がオンし、低レベルにある入力信号の 1 に接続されることにより接地電位レベルにおさえることにより高インピーダンス状態を防ぐことができる。入力信号の 1 が高レベルになると MOSFET Q11、Q20 を介して節点 N11 がすみやかに充電されるので MOSFET Q11 と Q20 との能力のレシオ比は全く考慮する必要がない。又、入力信号の 1 が高レベルになると、MOSFET Q20 のゲートレベルは、ゲートードレインおよびゲートーソース間の容量のセルフブリッジ効果により上昇するため、節点 N12 のレベルは上昇し MOSFET Q17、Q19 のオン抵抗を低減し、節点 N13 のためこみレベルの改善および出力信号の 3 のレシオの改善等による波形整形効果も得られる。更に、この効果を利用して、MOSFET Q14、Q20 の能力を変えることにより、出力信号の 3 の入力信号の 1 からの遅延時間の調節も可能である。

第 5 図は本発明の他の実施例の回路図、第 6 図

- 8 -

MOSFET を用いた論理用半導体回路に適用される。

(発明の効果)

以上、詳細に説明したとおり、本発明の半導体回路は、上記の構成を有しているので、特別に構成絶縁ゲート型電界効果トランジスタの能力比を考慮する必要なしに、節点の高インピーダンス状態の低電位の浮き上りを防止できるという効果を有している。

4. 回路の簡単な説明

第 1 図、第 2 図は従来の半導体回路の一例および他の例の回路図、第 3 図は本発明の一実施例の回路図、第 4 図は第 1 図、第 2 図、第 3 図の動作を示すタイムチャート、第 5 図は本発明の他の実施例の回路図、第 6 図はその動作を示すタイムチャートである。

1, 1' … 遅延回路、2 … ドライバ回路、11 … 遅延回路、12, 12' … ドライバ回路、C1, C11 … 容量、GND … 接地電位、T1 ~ T4 … 時刻、

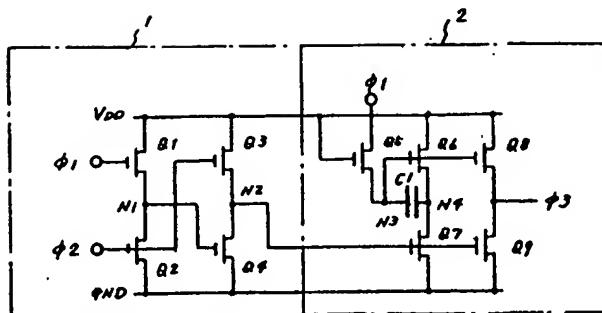
- 9 -

VDD…電源、Q1～Q10、Q11～Q21…イチ

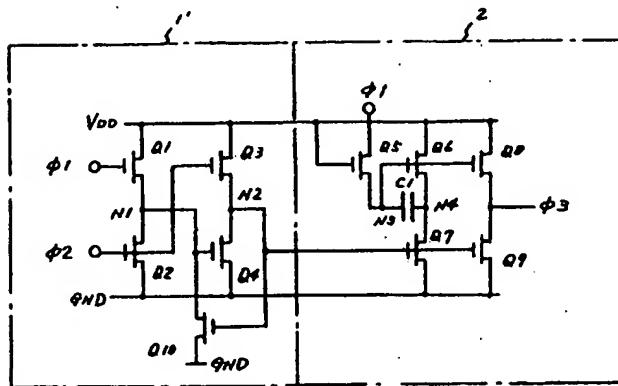
ヤネル型MOSトランジスタ、φ1、φ2…入力

信号、φ3…出力信号。

代理人 弁理士 内原 音

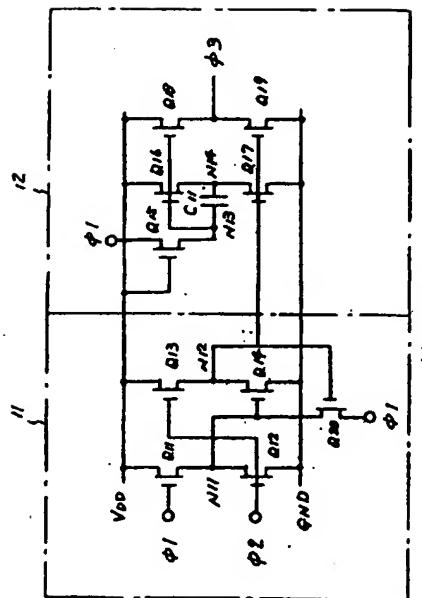
弁理士
内原 音

第1回

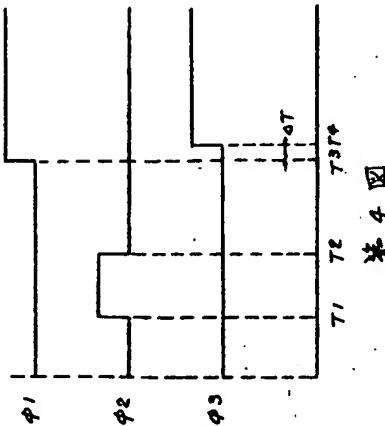


第2回

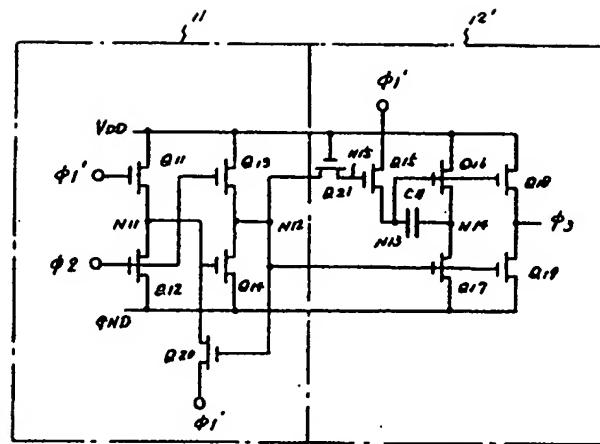
-11-



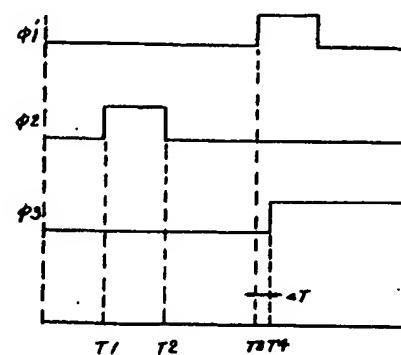
第3回



第4回



第5回



第6回